

B03077

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 2月19日

出願番号

Application Number:

特願2003-041561

[ST.10/C]:

[JP2003-041561]

出願人

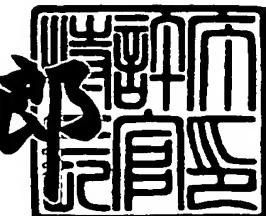
Applicant(s):

沖電気工業株式会社

2003年 6月27日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3051011

【書類名】 特許願
【整理番号】 KT000469
【提出日】 平成15年 2月19日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 林 洋一
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100095957
【弁理士】
【氏名又は名称】 亀谷 美明
【電話番号】 03-5919-3808
【選任した代理人】
【識別番号】 100096389
【弁理士】
【氏名又は名称】 金本 哲男
【電話番号】 03-3226-6631
【選任した代理人】
【識別番号】 100101557
【弁理士】
【氏名又は名称】 萩原 康司
【電話番号】 03-3226-6631
【手数料の表示】
【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の評価用 TEG, 及び評価方法

【特許請求の範囲】

【請求項 1】 基板と絶縁層と SOI 層とが順次積層されて構成された SOI 構造を有し, バーズピーク部が形成される LOCOS 素子分離技術を用いた半導体装置の評価用 TEG において;

第 1 の方向, 及び前記第 1 の方向と交差する第 2 の方向にそれぞれ延在する第 1 の電極と,

前記第 1 の電極と離間して配置されるとともに, 前記第 1 及び第 2 の方向にそれぞれ延在し, 前記第 1 の方向の長さが前記第 1 の電極における前記第 1 の方向の長さと略同一で, 前記第 2 の方向の長さが前記第 1 の電極における前記第 2 の方向の長さと異なる第 2 の電極と,

前記第 1 及び第 2 の電極と離間して配置されるとともに, 前記第 1 及び第 2 の方向にそれぞれ延在し, 前記第 1 の方向の長さが前記第 1 の電極における前記第 1 の方向の長さと略同一で, 前記第 2 の方向の長さが前記第 2 の方向における前記バーズピーク部の長さと略同一である第 3 の電極と,

前記第 1, 第 2, 及び第 3 の電極に電気的に接続される複数の測定用パッドと, を有し,

前記第 1 及び第 2 の電極における前記第 2 の方向の長さは, 前記バーズピーク部の前記第 2 の方向における長さに比べて大きく, 前記バーズピーク部を無視できる程度のものであることを特徴とする半導体装置の評価用 TEG。

【請求項 2】 前記第 1 及び第 2 の電極の前記第 2 の方向の長さは, 少なくとも前記 SOI 層の膜厚の略 10 倍以上の長さであることを特徴とする請求項 1 に記載の半導体装置の評価用 TEG。

【請求項 3】 前記第 1, 第 2, 及び第 3 の各々の電極は, 複数のフィンガーを有する櫛型構造であることを特徴とする請求項 1 または 2 に記載の半導体装置の評価用 TEG。

【請求項 4】 前記バーズピーク部により規定される前記第 3 の電極の前記第 2 の方向の長さは, 前記 SOI 層の膜厚と同程度であることを特徴とする請求

項1, 2または3のいずれかに記載の半導体装置の評価用TEG。

【請求項5】 前記評価用TEGは、スクリーブライン領域に配置されることを特徴とする請求項1, 2, 3または4のいずれかに記載の半導体装置の評価用TEG。

【請求項6】 基板と絶縁層とSOI層とが順次積層されて構成されたSOI構造を有し、バーズピーク部が形成されるLOCOS素子分離技術を用いた半導体装置の評価方法であって；

第1の方向、及び前記第1の方向と交差する第2の方向にそれぞれ延在する第1の電極と、前記第1の電極と離間して配置されるとともに、前記第1及び第2の方向にそれぞれ延在し、前記第1の方向の長さが前記第1の電極における前記第1の方向の長さと略同一で、前記第2の方向の長さが前記第1の電極における前記第2の方向の長さと異なる第2の電極と、前記第1及び前記第2の電極と離間して配置されるとともに、前記第1及び第2の方向にそれぞれ延在し、前記第1の方向の長さが前記第1の電極における前記第1の方向の長さと略同一である第3の電極と、前記第1, 第2, 及び第3の電極に電気的に接続される複数の測定用パッドとを有し、前記第1及び第2の電極における前記第2の方向の長さは、前記バーズピーク部の前記第2の方向における長さに比べて大きく、前記バーズピーク部を無視できる程度のものであり、かつ、前記第3の電極における前記第2の方向の長さは、前記第2の方向における前記バーズピーク部の長さと略同一である評価用TEGを、前記SOI層上に形成された酸化膜を介して配置した後、

前記複数の測定用パッド及び前記基板間に電圧を印加することにより、前記第1及び第2の方向に対して鉛直な第3の方向における前記バーズピーク部の容量値を求めることが特徴とする半導体装置の評価方法。

【請求項7】 前記バーズピーク部の容量値より、少なくとも前記バーズピーク部における酸化膜の膜厚、前記バーズピーク部におけるSOI層の膜厚または前記バーズピーク部におけるSOI層の不純物濃度のいずれか1つを算出し、前記半導体装置を構成するMOSの特性を評価することを特徴とする請求項6に記載の半導体装置の評価方法。

【請求項8】 前記バーズピーク部の容量値は、前記バーズピーク部における前記第3の方向の断面層構造を略矩形状に簡略化して求めたものであることを特徴とする請求項6または7に記載の半導体装置の評価方法。

【請求項9】 前記バーズピーク部の容量値を求める工程は、
前記複数の測定用パッドと前記基板との間に所望の電圧を印加し、前記第1、
第2、第3の電極における前記第3の方向の各容量値を測定する工程と、
前記第1及び前記第2の電極の容量測定値から、前記電極の前記第2の方向の
長さに対する容量値の線形関係を求める工程と、
前記線形関係より、前記第3の電極の前記第2の方向の長さに対応する容量理
論値を求める工程と、
前記第3の電極の容量測定値から、前記容量理論値を差し引く工程と、
を含むことを特徴とする請求項6、7または8のいずれかに記載の半導体装置
の評価方法。

【請求項10】 前記バーズピーク部における酸化膜の膜厚を求める工程は
蓄積領域における前記バーズピーク部の容量値を求める工程を含み、
前記バーズピーク部における酸化膜の膜厚は、前記蓄積領域における前記バ
ーズピーク部の容量値と、前記第1及び第2の方向により規定される前記バーズピー
ク部の面積とから求められることを特徴とする請求項6、7、8または9のい
ずれかに記載の半導体装置の評価方法。

【請求項11】 前記バーズピーク部におけるS O I層の膜厚は、前記S O
I層の膜厚から、酸化膜成長におけるシリコン側への成長比率と前記バーズピー
ク部における酸化膜厚との積を差し引いて求めることを特徴とする請求項6、7
、8、9または10のいずれかに記載の半導体装置の評価方法。

【請求項12】 前記電極はポリシリコンにより形成されており、
前記バーズピーク部の容量値より、前記バーズピーク部における電極の空乏化
度合いを算出し、前記半導体装置を構成するM O Sの特性を評価することを特徴
とする請求項6、7、8、9、10または11のいずれかに記載の半導体装置の
評価方法。

【請求項13】 前記バーズピーク部における電極の空乏化度合いは、蓄積領域における前記バーズピーク部の容量値を求める工程と、蓄積領域における前記バーズピーク部の酸化膜厚を計算する工程と、反転領域における前記バーズピーク部の容量値を求める工程と、反転領域における前記バーズピーク部の酸化膜厚を計算する工程と、前記蓄積領域における前記バーズピーク部の酸化膜厚と前記反転領域における前記バーズピーク部の酸化膜厚とを比較する工程と、を含むことを特徴とする請求項12に記載の半導体装置の評価方法。

【請求項14】 請求項6に記載の半導体装置の評価方法において；前記電極はポリシリコンにより形成されており、弱反転領域における前記バーズピーク部の容量値を求める工程と、前記バーズピーク部における酸化膜厚を求める工程と、前記バーズピーク部におけるS O I層膜厚を求める工程と、前記バーズピーク部における電極の空乏化度合いを求める工程と、を含み、更に、前記バーズピーク部の容量値と、前記バーズピーク部における酸化膜厚と、前記バーズピーク部におけるS O I層膜厚と、前記バーズピーク部における電極の空乏化度合いとをパラメータとして用いることで、前記バーズピーク部におけるS O I層の不純物濃度を算出する工程を備えることを特徴とする半導体装置の評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特にS O I構造を有する素子構造において、L O C O S素子分離によって形成されるエッジ領域の寄生トランジスタの容量を抽出できる評価用TEG (T e s t E l e m e n t G r o u p) 構造と、抽出した容量値から寄生トランジスタの実効膜厚や不純物濃度を非破壊的に推定する方法に関するものである。

【0002】

【従来の技術】

SOI (Silicon On Insulator) 基板を用いた半導体装置においては、半導体素子のシリコン層と素子分離に用いられるLOCOS (Local Oxidation Of Silicon) 酸化膜との接するエッジ部分に寄生トランジスタが形成される。図10 (a) に寄生トランジスタの構造を示す。

【0003】

図10 (a) に示すようにバルク層100上に、酸化膜層であるBOX層110, SOI層120が順次形成されており、その上にゲート酸化膜130, 電極140が形成されている。各素子はLOCOS150により分離されており、LOCOSバーズピーク部の円形で囲まれたP部に、寄生トランジスタが形成される。

【0004】

この寄生トランジスタは、SOIのMOSFET (MOS型電界効果トランジスタ) の基本特性において、ハンプ (リーク電流の増加) 特性となって現れる。このようなハンプ特性を評価する手段として、ウェハ断面を切断してモニタする断面SEM観察方法や、サブスレショルド特性のプロセス依存性からプロセス要因を推定する方法が用いられている。図11に様々なプロセスにより (プロセスパラメータをいろいろと振ったことにより) 形成されたゲートのサブスレショルド特性について示した。

【0005】

断面SEM写真による推定は、直接、断面構造を確認するものであり、サブスレショルド特性からの推定は、ハンプが起き易いプロセス条件を変更して、ハンプの出方をモニタする評価法である。

【0006】

また、SOI構造に対応するものではないが、評価用TEGを用いた先行技術の例である特許文献を下記に記す。ゲート酸化膜の絶縁破壊に影響を与える要因である、ゲートの面積部分やゲート及びLOCOSのバーズピーク部分の形状を独立したパラメータとして取り扱えるようにした評価用TEGにて、評価用のト

トランジスタを形成し、ゲート酸化膜の信頼性を評価する。この評価用TEGにおいては、実現不可能なゲート酸化膜のパターンでも、容易に作製、評価できるので、評価操作が簡便で、正確な結果を迅速に得ることができる。

【0007】

【特許文献1】

特開平7-260867号公報

【0008】

【発明が解決しようとする課題】

しかしながら、従来の方法においては、

(1) 断面SEM観察ではウェハを破壊しなければならないので、特に高価なSOIウェハでは問題となる。

(2) また、断面SEM観察したウェハと電気測定したウェハの条件が必ずしも一致しない。これは、断面SEM観察するためにウェハから切り出す試料は比較的大きな寸法が必要であるが、電気測定する試料は微細なものであり、同じ試料を用いることができないためである。

【0009】

(3) 更に、サブスレショルド特性のプロセス依存性（不純物濃度や酸化膜厚依存性など）からハンプの要因を推定する方法では、不純物濃度が薄いのか、エッジ領域のゲート酸化膜が厚いのかを判断するのが困難である。また、プロセス条件を振るために、複数枚のウェハを必要となってしまう。

といった問題点がある。

【0010】

本発明は、従来の半導体装置の評価用TEG、及び評価方法に関する上記問題点に鑑みてなされたものであり、本発明の目的は、寄生トランジスタの容量を簡単に抽出でき、非破壊的な方法で寄生トランジスタの形状を推定し、ハンプ特性の要因を短時間で推定できる、新規かつ改良された半導体装置の評価用TEG、及び評価方法を提供することである。

【0011】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、S O I構造を有しLOCOS素子分離技術を用いて形成される半導体装置の評価用TEG（パターン）において、LOCOSバーズピーク部（寄生領域）の長さを無視できる程度の電極幅を有し、かつ異なる電極幅を持つ、少なくとも2つの電極と、LOCOSバーズピーク部の長さと略同一の電極幅を有する電極と、を備えた半導体装置の評価用TEGが提供される。この各々の電極の長さ（奥行き方向の長さ）は、同一であり、更に各々の電極は測定用のパッドにつながっている。

【0012】

ここで、LOCOSバーズピーク部（寄生領域）は、電極両端部のみに形成され、0.1 μ m程度の短い長さであり、電極幅が変化しても一定の長さを有する。つまりLOCOSバーズピーク部の長さを無視できるとは、バーズピーク部に対して電極幅を非常に大きくすることによりバーズピーク部の幅を無視できるという意味でありバーズピーク部の長さと同程度とみなすことのできるS O I層の膜厚の略10倍以上の長さであることが好ましい。また、LOCOSバーズピーク部の長さと略同一であるというのは、電極幅を非常に小さくすることによりバーズピーク部の幅が無視できなくなり、電極構造が中心部と端部とから成るものとして考えられるという意味であり、S O I層の膜厚と同程度であることが好ましい。

【0013】

各々の電極と基板間の容量値は、電極中心部の主領域成分と、寄生領域（エッジ領域）成分との和として考えられる。つまり、幅の広い電極では寄生領域成分を無視することができ、幅の短い電極では、寄生領域成分が無視できなくなる。そのため幅の広い電極では電極幅に比例して容量値が変化するので、電極幅に対する容量値の線形関係を求めることができ、その線形関係と幅の短い電極の容量値から寄生領域成分の容量値を求めることができる。

【0014】

またTEGは、複数のフィンガーを有する樹形構造であることが好ましく、個数が多く電極面積を広くするほど測定精度を上げることができる。

【0015】

更に評価用TEGは、1枚の基板からの本素子の取り数に影響を与えないよう、量産時には基板内で実素子の形成されない箇所、例えばスクライブラインに配置するのが望ましい。

【0016】

また、上記評価用TEGを用いて、SOI構造を有しLOCOS素子分離技術を用いて形成される半導体装置における寄生トランジスタの容量値を求めることができ、更にその容量値から、寄生領域の酸化膜厚、寄生領域のSOI層膜厚、寄生領域のSOI層の不純物濃度のいずれか1つを算出し、実素子のMOS特性を評価する半導体装置の評価方法が提供される。

【0017】

ここで、寄生領域の容量値は、寄生領域における断面層構造を矩形状に簡略化して求めることが好ましい。

【0018】

まず、寄生領域の容量値は、各々の電極パッドと基板との間に所望の電圧を印加し、容量値を測定する工程と、広い電極幅を有する電極の容量測定値から、電極幅に対する容量値の線形関係を求める工程と、その線形関係から、LOCOSバーズピーク部が無視できない短い電極幅を有する電極の容量理論値を求める工程と、短電極幅を有する電極の容量測定値から、容量理論値を差し引く工程とを含む方法により求めることができる。

【0019】

寄生領域の酸化膜厚は、蓄積領域における寄生領域の容量値を求める工程を含み、蓄積領域における寄生領域の容量値と寄生領域面積とから、寄生領域の酸化膜厚を計算することにより求めることができる。

【0020】

寄生領域のSOI層膜厚は、主領域のSOI層膜厚から、酸化膜成長におけるシリコン側への成長比率と前記寄生領域の酸化膜厚との積を差し引くことにより求めることができる。

【0021】

電極はポリシリコンにより形成されており、寄生領域の容量値より寄生領域に

おける電極の空乏化度合いを算出し、MOS特性を評価することができる。

【0022】

寄生領域の電極空乏化度合いは、蓄積領域における寄生領域の容量値を求める工程と、蓄積領域における寄生領域の酸化膜厚を計算する工程と、反転領域における寄生領域の容量値を求める工程と、反転領域における寄生領域の酸化膜厚を計算する工程と、蓄積領域における寄生領域の酸化膜厚と反転領域における寄生領域の酸化膜厚とを比較する工程とを含むことにより求めることができる。

【0023】

また、電極はポリシリコンにより形成されており、弱反転領域における寄生領域の容量値を求める工程と、寄生領域の酸化膜厚を求める工程と、寄生領域のSOI層膜厚を求める工程と、寄生領域のポリシリコン電極空乏化度合いを求める工程とを含み、更に、寄生領域の容量値と寄生領域の酸化膜厚と前記寄生領域のSOI層膜厚と前記電極空乏化度合いとをパラメータとして用いることにより、寄生領域のSOI層濃度を算出する工程と備える半導体装置の評価方法が提供される。

【0024】

こうして得られた評価用TEGを用いることにより、寄生領域の容量値を求めることができ、その容量値から更に、寄生領域の酸化膜厚、SOI層膜厚、電極中の空乏化度合い、寄生領域のSOI層濃度などのハンプ特性の要因となるパラメータを評価することが可能になる。

【0025】

また、ウェハ検査工程にてハンプ特性が確認された場合にも、各ウェハに形成された評価用TEGにて、上記パラメータをチェックすることにより、即時に原因を突き止めて、ウェハプロセスへのフィードバックが可能となる。

【0026】

更に、高価なウェハを切り出してSEM観察したり、様々なプロセスを用いて形成されたゲートのサブスレショルド特性から原因を推定する必要はないので、評価に要する時間が大幅に短縮され、量産時にはウェハのコストを低減することが可能となる。

【0027】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体装置の評価用TEG、及び評価方法の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0028】

(第1の実施の形態)

第1の実施の形態について、図1にLOCOS素子分離技術を用いたSOI構造のMOSキャパシタを抽出できる評価用TEGの構造を示す。図1(a)が概略平面を示す説明図、図1(b)は概略断面を示す説明図である。また、図2(a)にLOCOSバーズピーク部(寄生領域)の断面を示す説明図、図2(b)にTEGの各電極についての容量等価図を示した。更に図3は、評価用TEGを用いて非破壊的に寄生素子の容量値を抽出する方法を表すための、電極幅と容量値との関係を示した説明図である。

【0029】

図1(a)で示すように評価用TEGは、例えば3本のフィンガーを持つ櫛型パターンの第1の電極10、第2の電極20及び第3の電極30が形成される。この第1の電極10、第2の電極20及び第3の電極30は、第1の方向Sに同一の長さ(同一の電極長)を有し、第2の方向Tの長さ(電極幅)については、第1の電極10、第2の電極20は、比較的幅の広い電極幅W1、W2を有し、第3の電極30は、LOCOSバーズピーク部と略同一の幅である極端に幅の狭い電極幅W3を有している。

【0030】

この第1の電極10、第2の電極20及び第3の電極30の1つのまとまりでTEGを成している。ここで各電極フィンガーの長さしも同じになっている。また、本実施の形態の評価用TEGにおける電極は、ポリシリコンにより形成されている。更に、櫛型構造の電極と基板間に電圧を印加し、第1の方向Aや第2の方向Bに対して鉛直な第3の方向Uにおける容量を測定するための、パッド10

a, 20a, 30a が各電極に形成されている。

【0031】

この時、電極面積を大きくした方が容量測定の誤差を軽減できるので、パターン大きさの許す限り、電極フィンガー本数 n を増やしたり、電極長を長くすることが好ましい。しかし、異なる電極幅を持つ各電極の電極長は、電極幅に対する容量値の関係を求めるために同じ長さに形成する必要がある。

【0032】

図1 (b) は、図1 (a) のある 1 つの電極幅 (例えばW3) についてのパターンの概略断面図であり、バルク層 100 上に、酸化膜層である BOX 層 110 が形成され、その上に SOI 層 120, ゲート酸化膜 130, 電極 140 が順次形成され、各フィンガー、また各電極間は LOCOS 150 により分離されている。図2 (a) の円形に囲った部分に LOCOS バーズビーク部 (寄生領域) 160 の構造を示したが、電極 140 の両エッジ部分がこの構造になっており、実素子の LOCOS バーズビーク部に形成される寄生トランジスタ構造と同様になっている。

【0033】

図2 (b) に TEG 電極 (MOS ゲート) の容量等価図を示す。BOX 層上は、電極主領域 (main) 部の SOI 層容量 ($C_{SOI, main}$), ゲート酸化膜容量 ($C_{tox, main}$) と、寄生領域 (edge) 部の SOI 層容量 ($C_{SOI, edge}$), ゲート酸化膜容量 ($C_{tox, edge}$) とが並列に繋がれた回路として考えることができる。

【0034】

TEG の各電極の容量値とは、 V_g , V_{sub} 間の第 3 の方向 U の容量を測定するものである。つまり、測定される電極全体の容量値 C_{total} は、電極中心部の主領域成分 C_{main} と LOCOS バーズビーク部の寄生領域成分 C_{edge} の和になる ($C_{total} = C_{main} + C_{edge}$)。 C_{main} は W に比例し、 C_{edge} は W に関係なく一定である。

【0035】

長い W のパターンから抽出される MOS ゲート容量値は主領域 (main) 成

分がほとんどで、寄生領域 ($edg e$) 成分は無視できるほど小さい。逆に、Wの短いMOSゲート容量値は、寄生領域成分が無視できなくなり、 $edg e$ 成分が主となり、main成分が小さい。そこで、寄生領域のMOS容量値 ($C_{edg e}$) の抽出方法として、図3に示すように、電極幅Wの長い、第1及び第2の電極に対する容量値 (C_1, C_2) をプロットして、容量値を電極幅Wの線形関数として傾きを抽出し、次にWの極端に短い第3の電極の容量値 C_3 から、傾きから求めた理論値 C_3' (main成分) を差し引くことにより $C_{edg e}$ を求める。抽出精度は第3の電極幅W3の小さな C_3 を用いるほど向上する。

【0036】

ここで、TEGの各電極幅W (W1～W3) パターンの具体的な数値例を示す。W1とW2はエッジ成分 (ΔW) を無視できるほど十分長い値が要求される。 ΔW はSOI膜厚とほぼ同程度と仮定できるが、SOI膜厚は、完全空乏型SOIで0.02 μm 程度、部分空乏型SOIで0.2 μm 程度である。比較的長い電極幅W1, W2を有する第1及び第2の電極のそれぞれは、少なくともLOCOSバースピーク部における電極幅方向の長さの約10倍以上の電極幅を有することが望ましく、例えば、本実施の形態においてSOI膜厚を0.05 μm とすると、寄生領域の ΔW は0.05 μm と仮定でき、この場合、W1=10 μm , W2=5 μm , W3=0.2 μm とすることが望ましい。

【0037】

また、先にも述べたように、容量値を精度良く測定するには、ある程度の面積が必要になるので、電極長は100 μm 程度以上、面積も2000 μm^2 以上程度が望まれる。面積を大きくするために、電極長や電極フィンガー本数nを可能な限り大きくする。

【0038】

上記で、 ΔW はSOI膜厚とほぼ同程度と仮定できるとしたが、その理由について記す。酸化膜成長は、酸素 (O_2) とシリコン (Si) が反応して酸化膜 (SiO_2) になるが、通常、等方性に酸化が進むため、深さ方向と同時に横方向にも同じ長さだけ酸化膜が成長する。従って、SOI膜厚が0.05 μm の場合、Si/SiO₂界面から深さ方向に酸化が進み、下地のBOX層と接続した時

点では、横方向にも同じ長さだけ（ここでは $0.05\mu\text{m}$ ）酸化が進むと想定できるのである。本来、エッジ部分の形状は三角形になるが、近似的に $\Delta W = S \times I$ 膜厚とできると定義した。

【0039】

次に、TEGのウェハ内での配置位置について説明する。実際には、プロセスバラツキによりウェハ面内で酸化膜厚さ、或いは熱処理温度に分布を持つので、それをモニタするために、図6(a)の量産前の配置図に示すように、TEG62もウェハ60内に満遍なく配置するのが望まれる。しかし量産前の評価用TEGではそれが可能であるが、量産時には、異常かどうかを判断することのみに利用することが多く、実素子61を形成する領域を大きく取りたいので、図6(b)に示すように実素子が形成される領域を除く領域に形成されることが望ましい。また、図6(c)に示すように、実素子が形成されたチップとチップ間とを分割するスクリューブライン領域63に本実施の形態の評価用TEGを配置するようすれば、評価用TEGを実際に評価する実素子に隣接して設けることが可能となり、更に精度の高い評価を行うことが可能となる。

【0040】

量産時における評価の流れを図7のフローチャートに示す。量産時には幾つかウェハを抜き取って、良品か不良品かをチェックする。ここでの抜き取りテストは、オフリーフ（デバイスがオフ状態で流れるリーク電流）等の抜き取りチェックであり、不良だった場合、従来は何が悪くて異常になったのかすぐには判断がつかなかった。そこで、量産ロットのウェハの一部に評価用TEGを搭載することにより、即時にその容量値の値から正常か異常かを判断でき、原因究明の重要な切り分け材料になる。

【0041】

こうして、上記TEG構造とMOSゲート電極容量抽出方法を用いることにより、主領域と寄生領域を切り分けた容量抽出が可能である。また、電気特性評価素子と、これらWの異なる評価用TEGを同一のウェハ上に形成することにより、ウェハ間で異なるプロセスばらつきなどの影響を考えずに、I-V特性と容量特性を評価できる。また、1枚のウェハのみで非破壊的に評価可能であり、高価

なSOIウェハでは、非常に有効な方法である。

【0042】

(第2の実施の形態)

第2の実施の形態では、第1の実施の形態で抽出した寄生素子の容量値から、寄生素子の実効的なゲート酸化膜厚さ $T_{ox, edge}$ を推定することができる方法について説明する。

【0043】

図8 (a) ~図9 (f) は、様々なパラメータについて、各種電極(ゲート)電圧に対するMOSゲート容量値 C_{total} の特性を測定したものである。また、図4 (a) はエッジ部分の断面を示し、図4 (b) は図4 (a) の構造を簡略化した断面を示す説明図である。

【0044】

ここでまず図8 (a) ~図9 (f) について説明する。図8 (a) ~図9 (f) は、異常要因の切り分けに利用する。エッジ部分のゲート酸化膜厚さ T_{ox} が変化した場合は、MOSゲート容量値の蓄積側(図中の左側で、nMOSでは負の V_g 側)に変化がある。すなわち、それ以外のSOI濃度 N_{soi} 、SOI厚さ T_{soi} 、Poly(ポリシリコン)濃度、BOX層厚、バルク濃度 N_{bulk} が変化しても、蓄積側の特性が変化するのは T_{ox} だけなので、もし、リーグ電流異常があった不良品のTEGデータで、蓄積側の容量値に変化があれば、 T_{ox} の膜厚が要因で異常になったと即時に推定できる。

【0045】

同様に、Poly濃度が変化した場合は、反転側(V_g が正)のみに感度があるので、同じように切り分け出される。ただし、 T_{soi} と N_{soi} は蓄積領域から反転領域にさしかかる辺りで同じような容量特性を示すので、この辺りの特性に変化がある場合は、別の切り分け作業が必要になる。また、BOX膜厚と N_{bulk} はかなり大きく変化させても、容量値への変化が小さいので、プロセスバラツキ程度では無視できると仮定した。

【0046】

図8 (a) ~図9 (f) からわかるように、SOI構造のMOSゲートキャパ

シタ特性において、ゲート酸化膜厚さ T_{ox} のみが、蓄積領域の容量値に感度がある。そこで、蓄積領域における容量値を第1の実施の形態の方法から抽出する。蓄積領域においては、電荷がゲート酸化膜を挟んで蓄積され、ゲート酸化膜成分の容量値が大きくなり、容量成分 C_{SOI} , $edge$, C_{box} , C_{bulk} は無視できるので、蓄積領域におけるエッジ成分容量値=ゲート酸化膜成分 C_{ox} , $edge$ とみなすことができる。容値を求める式 $C_{edge} = \epsilon \cdot S_{edge} / T_{ox}$, $edge$ に抽出した蓄積領域における容量値、誘電率 ϵ 、エッジ成分面積 S_{edge} (奥行き L × エッジ成分長さ ΔW) を与えて、エッジ成分の実効的なゲート酸化膜厚さ $T_{ox, edge}$ を求める。

【0047】

このとき評価構造を図4 (b) に示すような矩形で構成される構造に置き換えて考える。実際の形状は複雑だと想定できるが、ここでの目的は、寄生トランジスタの容量値を正確に求めることでなく、寄生トランジスタの容量値が主領域トランジスタの容量値に比べて無視できないほどの大きさであるかどうかをチェックすることが主があるので、計算を容易にするために矩形に近似した。しかしながら、計算時間或いは多少の手間をかけることにより、矩形に拘らず、三角形や台形など任意な形を想定し、シミュレーション等により精度良く求めることもできる。

【0048】

ここで ΔW は、プロセスシミュレーションから計算した値や他の測定値を与える方法が考えられるが、簡単には、LOCOS が BOX 層に接続していれば、先に述べたように、 $\Delta W = T_{soi, main}$ として扱っても良い。

【0049】

ただし、通常は、LOCOS が BOX 層に到達してからも、オーバ酸化しているので BOX 層からの浮き上がりと主領域方向への酸化が進むが、三角の端の部分は面積が小さいのですぐに酸化されてしまい、 $\Delta W < T_{soi, main}$ になると推定される。なお、LOCOS が BOX 層に接続しているかどうかは、酸化工程でのモニタウェハの表面色などで酸化膜厚さを簡単に判別できる。

【0050】

以上のように、ハンプ特性が現れ、その要因を調査しようとする時、評価用TEGを用いて容易にSOI寄生領域の実効ゲート酸化膜厚さを推定できるので、寄生領域のゲート酸化膜厚が異常かどうか判断でき、ハンプ特性の要因の切り分けに役立つ。複雑な形状を簡略な構造に置き換えて、そのパラメータを管理することで、量産時の特性管理にも便利である。また、量産ウェハにTEGを搭載して、膜厚を管理することにより、偶発的に起こるプロセスバラツキによる膜厚変化も、モニタできる。

【0051】 (第3の実施の形態)

第3の実施の形態は、第1及び第2の実施の形態を用いて、寄生領域の実効的なSOI層膜厚 $T_{soi, edge}$ を推定する方法について説明するものである。

【0052】

図5はエッジ部分の構造を簡略化した断面と酸化膜成長の比率を示した説明図である。Siを酸化して SiO_2 を形成する過程は、Si側に0.44、 SiO_2 側に0.56の比率で成長することが知られている。そこで、第2の実施の形態で抽出した $T_{ox, edge}$ を用いて、次の算術式から、 $T_{soi, edge}$ を求める。

【0053】

ただし、厳密にはBOXからの浮き上がりがあり、多少薄くなるが、オーバ酸化による浮き上がりの効果と ΔW 減少の効果で容量値への影響は相殺するので、簡略できるものとする。詳細には、SOI層エッジ部分の容量を求める式から、 $C_{soi, edge} = \epsilon \cdot S_{edge} / T_{soi, edge}$ 。ここで、 ΔW が減少すると S_{edge} が減少するのと同時に $T_{soi, edge}$ も薄くなるので、相殺され、 $C_{soi, edge}$ への影響は小さいと想定できるのである。

【0054】

こうしてハンプ特性の要因を調査しようとする時、評価用TEGを用いて容易にSOI寄生領域の実効SOI層膜厚を推定できるので、寄生領域のSOI層膜厚が異常かどうか判断でき、ハンプ特性要因の解明に役立つ。つまり、SOI膜厚が薄くなると、しきい電圧が下がり、リーク電流が増加することが知られてい

るので, *main*領域のトランジスタの $T_{s o i}$ より, エッジ成分が薄く成り過ぎない様にプロセス条件を設定する。

【0055】

(第4の実施の形態)

第4の実施の形態は, 第1及び第2の実施の形態を用いて, 寄生領域のゲート電極, 例えば, ポリシリコン (Poly) 中の空乏化度合いを推定する方法について説明するものである。

【0056】

まず, Poly 中の空乏化について説明する。先端プロセスにおけるゲート Poly 中の不純物濃度の設定は, 不純物イオン注入と熱処理によって通常形成する。この場合, イオン注入のエネルギー, ドーズ量が高いほど, 高温熱処理にするほど, ゲート下の SOI 層領域に不純物が混入してしまうので, 混入しない程度に, インプラエネルギーを低く, 或いはドーズ量も低く設定するのが一般的である。

【0057】

その際, Poly 中の SOI 層側で不純物が埋まらず, 空乏化することがある。Poly の空乏化は見かけ上, ゲートに, nMOS の場合, 正電圧が印加された時に T_{ox} が厚くなった状態の特性と似ている。空乏化が大きいほど, つまり Poly 中の下側の不純物濃度が低いほど, 反転側 (ゲートに正電圧印加) の容量値が小さくなる, 或いは不安定に振動する。

【0058】

図9 (e) において, Poly 中の濃度が $1 E 20 \text{ cm}^{-3}$ では, 蓄積側と反転側で同等の容量値を示すが, Poly 中の濃度が低下すると, 反転側の容量値は蓄積側の容量値より下がり, ゲート Poly が空乏化していることになる。反転側の容量値に感度のあるプロセスパラメータは Poly 濃度だけなので, 以下のような方法で, 寄生素子部分の Poly 中の空乏化度合いを評価する。

【0059】

- (1) 第1の実施の形態を用いて蓄積側の容量値 $C_{edge-ac}$ を抽出する。
- (2) 第2の実施の形態から蓄積側の膜厚 $T_{ox, edge-ac}$ を計算する。

- (3) 第1の実施の形態を用いて反転側の容量値 $C_{edge-in}$ を抽出する。
- (4) 第2の実施の形態から反転側の膜厚 $T_{ox, edge-in}$ を計算する。
- (5) $T_{ox, edge-in} < T_{ox, edge-ac}$ の時、その度合いから Poly 中の空乏化の度合いを推定する。

【0060】

以下に用いる蓄積領域、反転領域、弱蓄積／弱反転領域において、蓄積領域は、nチャネル型MOSならゲート電圧を負に、pチャネル型MOSならゲート電圧を正に印加した時に、チャネルに、前者なら正孔、後者なら電子が蓄積される領域で、SOI膜厚やSOI濃度に関係なく、ほぼゲート酸化膜厚と断面積でMOS容量値が一定値になるように十分蓄積されるまでゲート電圧を印加した領域である。

【0061】

反転領域は、nチャネル型MOSならゲート電圧を正に、pチャネル型MOSならゲート電圧を負に印加した時に、チャネルに、前者なら電子、後者なら正孔が溜って、基板の極性（前者はp型、後者はn型）とは逆に反転される領域で、SOI膜厚やSOI濃度に関係なく、ほぼゲート酸化膜厚とポリ電極の空乏化度合いで容量値が決まるように十分反転するまで、ゲート電圧を印加した領域である。

【0062】

弱蓄積／弱反転領域は、上記説明の十分蓄積した領域（或いはゲート電圧）に対して少し弱くなった領域（十分蓄積側の容量値からおよそ10%下がった領域）から十分反転した領域（或いはゲート電圧）に対して少し弱くなった領域（十分反転側の容量値から下がった領域）までの領域で、SOI膜厚やSOI濃度に依存して、容量値が変化する領域を指し、およそ10%ゲート電極が空乏化した場合は、反転側の容量値が上下するので、十分反転側の容量値から10%下がった領域の定義が困難であることから、蓄積領域から反転領域にさしかかるゲート電圧での領域と定義する。

【0063】

十分蓄積領域（ゲート電圧）での容量値は、図10（b）に示すように、ほぼ

エッジ部分のゲート酸化膜厚をモニタしている。従って、この値から膜厚($T_{ox, edge-ac}$)が抽出可能である。逆に、十分反転領域(ゲート電圧)での容量値は、ゲート電極の空乏化部分Rの容量値も含まれるので、この値から $T_{ox, edge-ac} +$ 空乏化部分Rの膜厚 $T_{ox, edge-in}$ が求まる。従って、 $T_{ox, edge-in} - T_{ox, edge-ac}$ から空乏化部分Rの膜厚(度合い)が推定できる。

【0064】

具体的には、蓄積領域におけるゲート容量値は、ゲート酸化膜厚のみで決まるので、同様にゲート電圧を正に大きくした、反転領域におけるゲート容量値も、ゲート酸化膜厚で決まる値になると考えられ、 $Poly$ 中の空乏化が無視できる時、蓄積側と反転側の容量値はほぼ同じと考えられる。しかしながら、 $Poly$ 中の空乏化が大きい場合、ゲート酸化膜厚が厚くなる効果(容量値が低下)と同様に見えるので、反転側の容量値は、蓄積側より小さくなる。その度合いから空乏化を推測する。例えば、蓄積側、反転側それぞれの T_{ox} を求め、その差がゲート酸化膜上から $Poly$ 中に空乏化が進んだ長さと推定できる。この $Poly$ 中の空乏化は反転領域のみに見られる現象であり、それを利用している。

【0065】

こうしてハンプ特性の要因を調査の際に、評価用TEGを用いて容易に $Poly$ 中の空乏化を推定できるので、異常であるかがすぐに判断でき、ハンプ特性要因の解明に役立つ。つまり、ゲート $Poly$ が空乏化しているとわかった場合、見かけ上ゲート酸化膜厚が厚くなり、リーク電流が増加するので、空乏化が起こらない様に不純物注入プロセス条件を設定する。

【0066】

(第5の実施の形態)

第5の実施の形態は、第1~4の実施の形態を用いて、寄生領域のSOI層中の実効濃度 N_{soi} を推定する方法について説明するものである。

【0067】

図8(b), 図9(d)から、弱蓄積/弱反転領域の容量値は、特にSOI層厚 T_{soi} とSOI濃度 N_{soi} に感度がある。従って、弱反転領域の容量値の

変化が、 T_{soi} と N_{soi} のどちらの影響か切り分けるのが困難である。そこで、エッジ成分のSOI層濃度の抽出を以下のように行う。

【0068】

- (1) 第1の実施の形態を用いて弱反転領域の容量値 C_{edge} を抽出する。
- (2) 第2の実施の形態から蓄積側の膜厚 $T_{ox, edge}$ を計算する。
- (3) 第3の実施の形態を用いて $T_{soi, edge}$ を抽出する。この値が正常でない場合、 N_{soi} でなく、 $T_{soi, edge}$ が影響していると考えられる。
- (4) 第4の実施の形態から $Poly$ 中の空乏化度合いを判定する。
- (5) 上記パラメータを用いて、1次元デバイスシミュレーションから N_{soi} を見積もる。ただし、弱反転領域の容量値に対するBOX層厚さ T_{box} と基板濃度 N_{bulk} の影響は小さいので、無視できるとした。

【0069】

こうしてハンプ特性の要因を調査の際に、評価用TEGを用いて容易にSOI寄生領域のSOI層中の不純物濃度を推定できるので、異常であるかがすぐに判断でき、ハンプ特性要因の解明に役立つ。また、ハンプ改善に追加すべき不純物濃度の見積もりにも役立つ。つまり、弱反転領域において容量値の変化がある場合、 T_{soi} と N_{soi} のどちらの影響かを容易に切り分けられるので、即時にプロセス条件を設定できる。

【0070】

以上、添付図面を参照しながら本発明にかかる半導体装置の評価用TEG、及び評価方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範囲内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0071】

【発明の効果】

以上説明したように本発明によれば、評価用TEGを用いることにより、SOI構造の半導体装置におけるゲート寄生領域の容量値を推定でき、その容量値か

らハンプ特性の要因となるパラメータを推定することが可能になる。また、各ウェハに形成された評価用TEGにて、非破壊的に上記パラメータをチェックすることにより、即時に原因を突き止めることができ、評価に要する時間が大幅に短縮され、ウェハのコストを低減することが可能となる。

【図面の簡単な説明】

【図1】

第1の実施の形態にかかり、(a)は上面から見た説明図、(b)は概略断面を示す説明図である。

【図2】

第1の実施の形態にかかり、(a)が寄生領域部分の概略断面を示す説明図、(b)は(a)の容量値を示す説明図である。

【図3】

第1の実施の形態にかかり、TEGゲート幅Wと主領域と寄生領域との合計容量値の関係を示した説明図である。

【図4】

第2の実施の形態にかかり、(a)はエッジ部分の断面を示す説明図、(b)は(a)の構造を簡略化した説明図である。

【図5】

第3の実施の形態にかかり、エッジ部分の構造を簡略化した断面と酸化膜成長の比率を示した説明図である。

【図6】

ウェハ内でのTEGの配置を示す説明図であり、(a)が量産前の場合、(b)、(c)は量産時の場合であり、特に(c)は、スクライブラインに配置した場合の図である。

【図7】

量産時における、ウェハを評価するフローチャートである。

【図8】

様々なパラメータについて、ゲート電圧に対するMOSゲート容量値 C_{tot} _{a1}を示したものであり、(a)は T_{ox} 依存性、(b)は N_{soi} 依存性、(

c) は B O X 厚さ依存性を示すものである。

【図9】

様々なパラメータについて、ゲート電圧に対するMOSゲート容量値 $C_{t o t}$
 a_1 を示したものであり、(d) は $T_{s o i}$ 依存性、(e) は $P o l y$ 濃度依存性、
(f) は $N_{b u l k}$ 依存性を示すものである。

【図10】

寄生トランジスタの構造を示す (a) はエッジ部分の断面を示す説明図、(b)
) は (a) の P 部を簡略化した説明図である。

【図11】

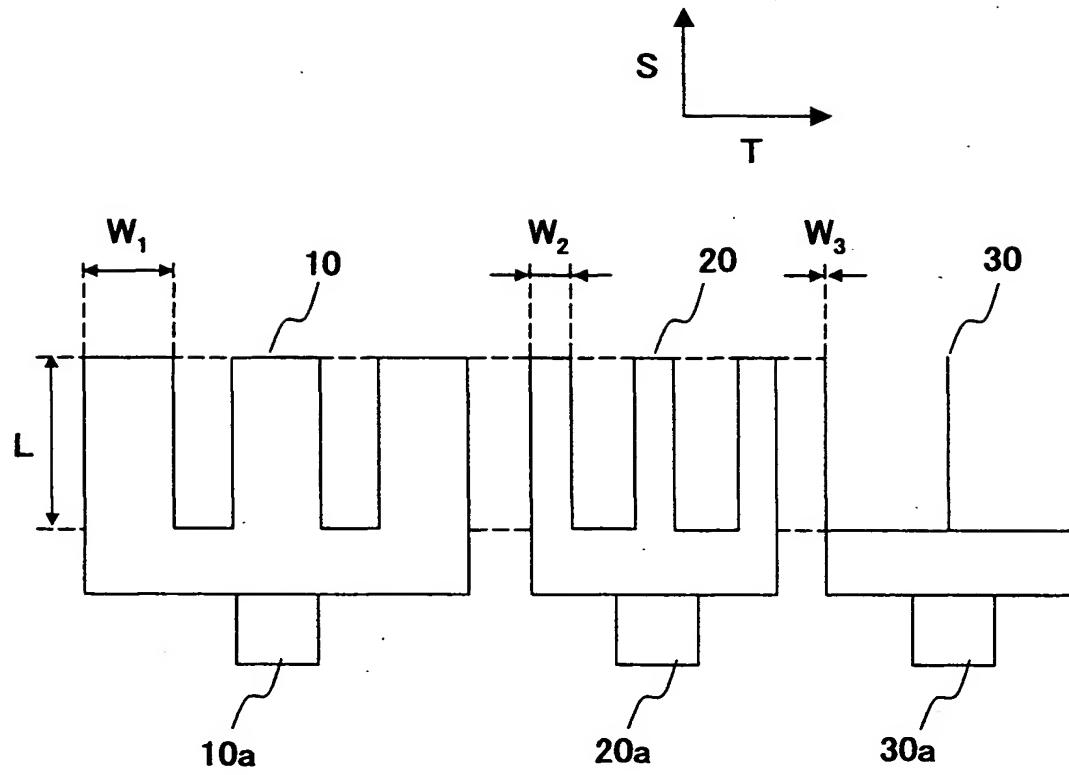
様々なプロセスによるゲートのサブスレショルド特性を示す説明図である。

【符号の説明】

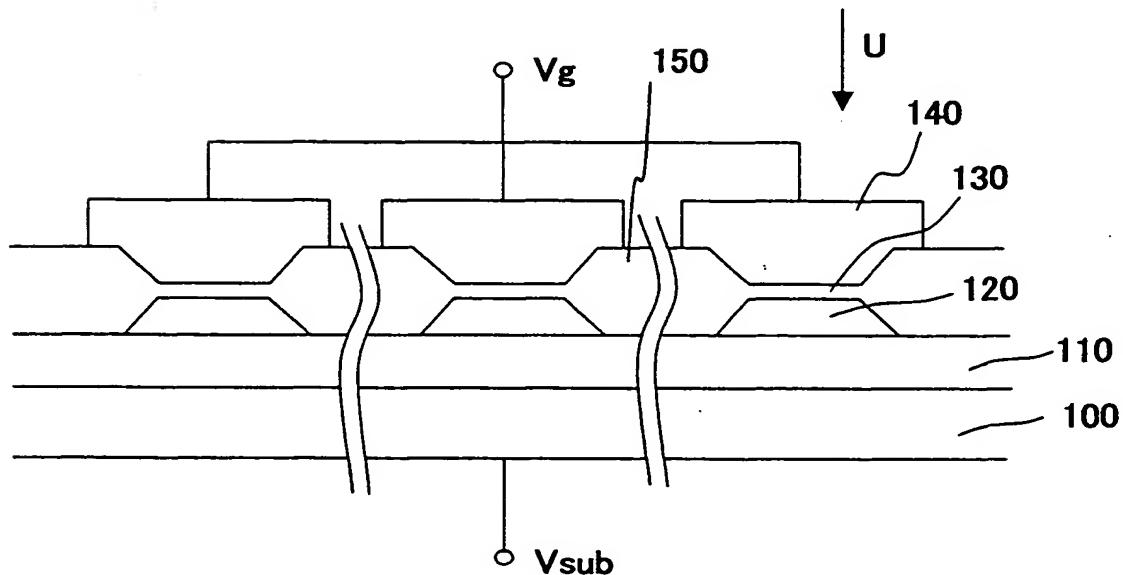
1 0	第1の電極
2 0	第2の電極
3 0	第3の電極
1 0 a	パット
2 0 a	パット
3 0 a	パット
1 0 0	バルク層
1 1 0	B O X 層
1 2 0	S O I 層
1 3 0	ゲート酸化膜
1 4 0	電極
1 5 0	LOCOS
S	第1の方向
T	第2の方向
U	第3の方向

【書類名】 図面

【図1】

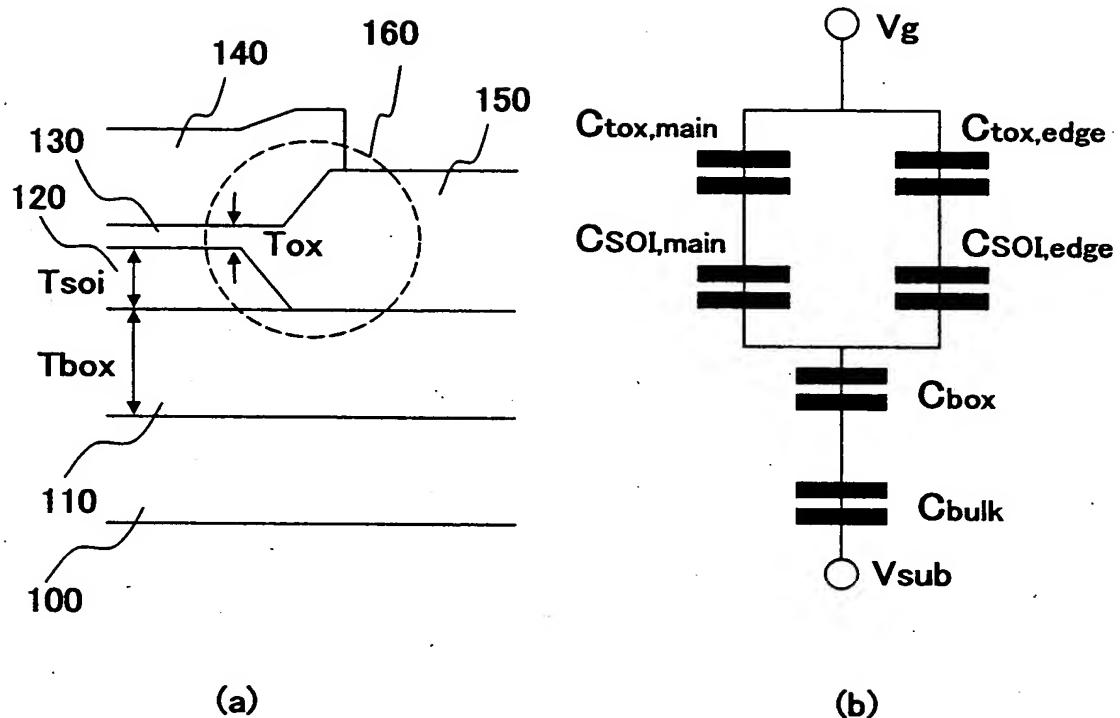


(a)

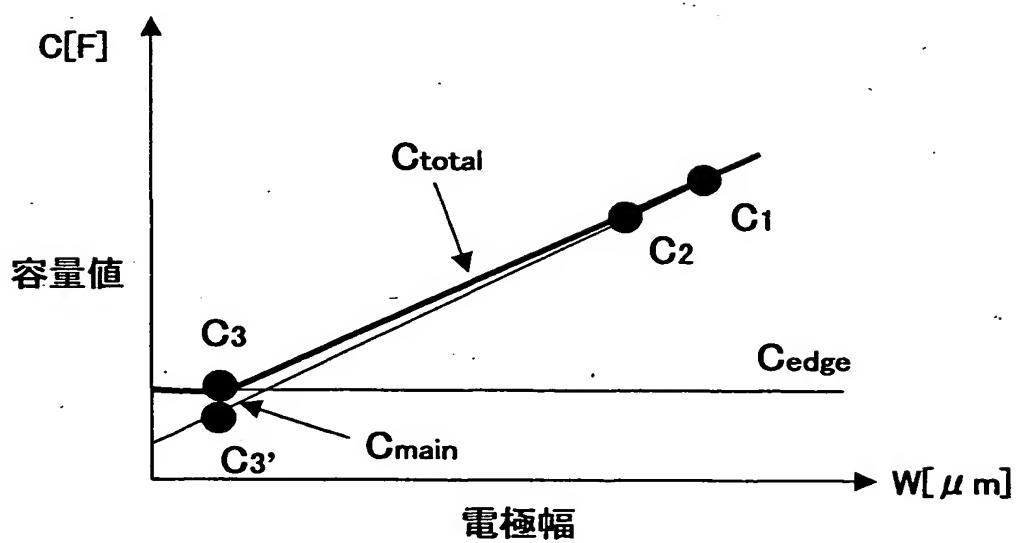


(b)

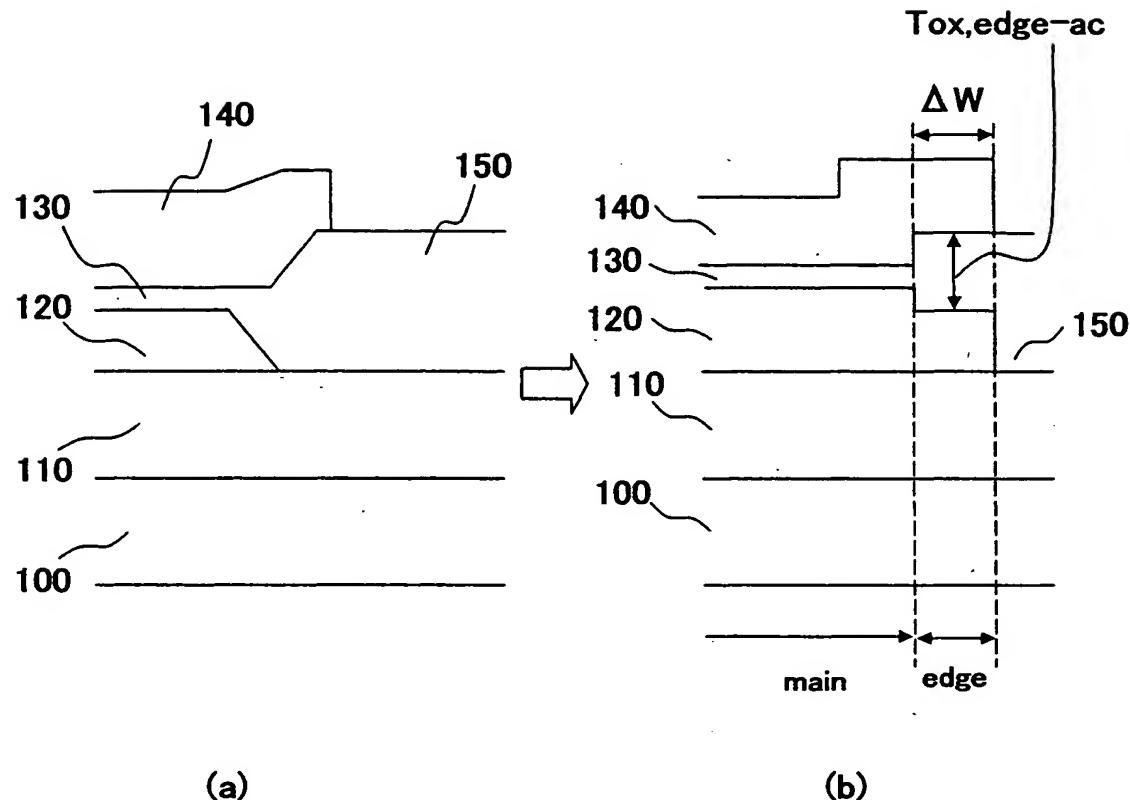
【図2】



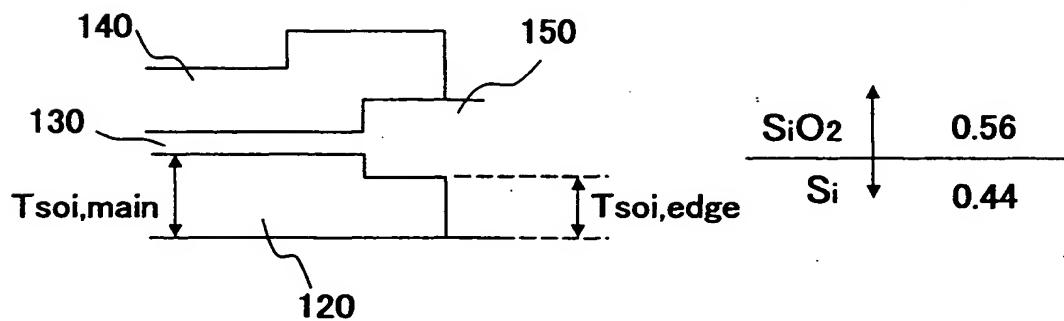
【図3】



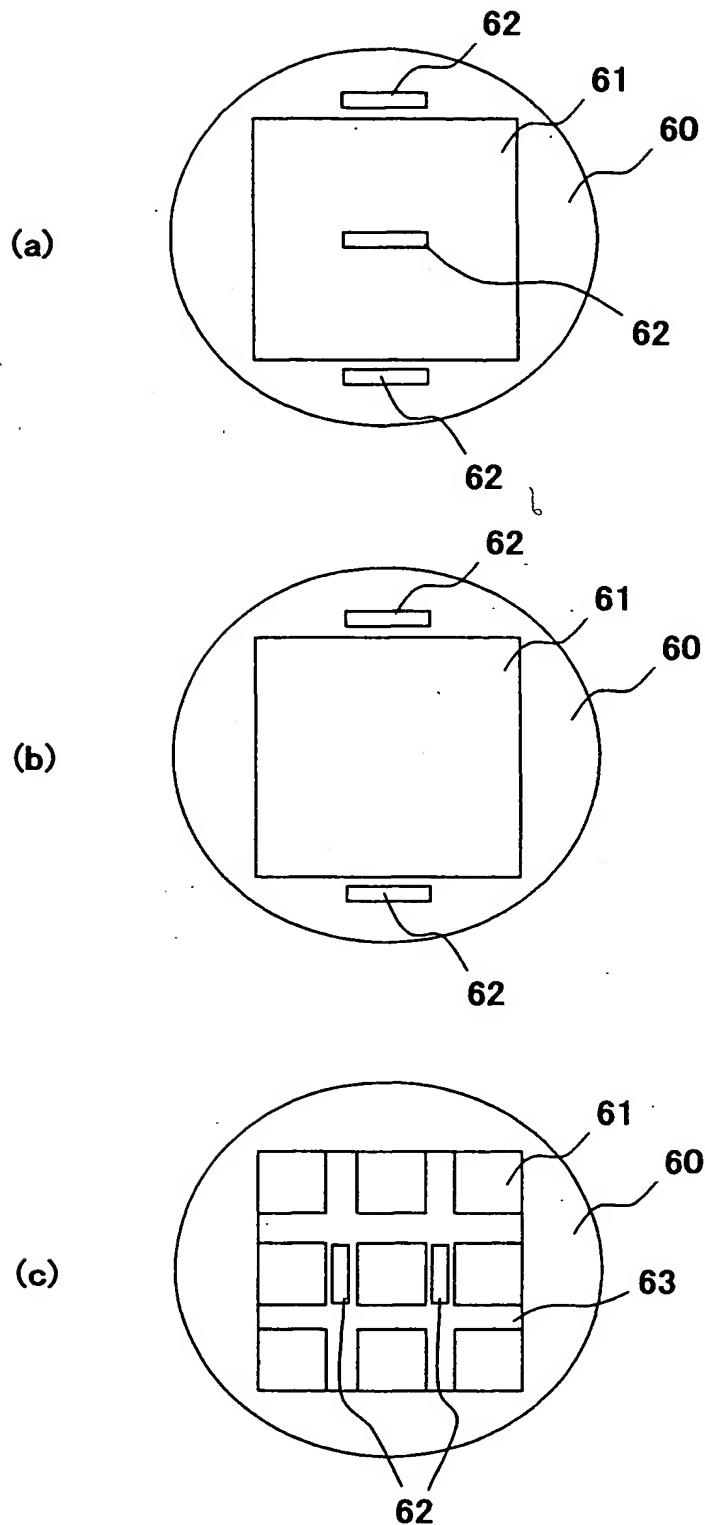
【図4】



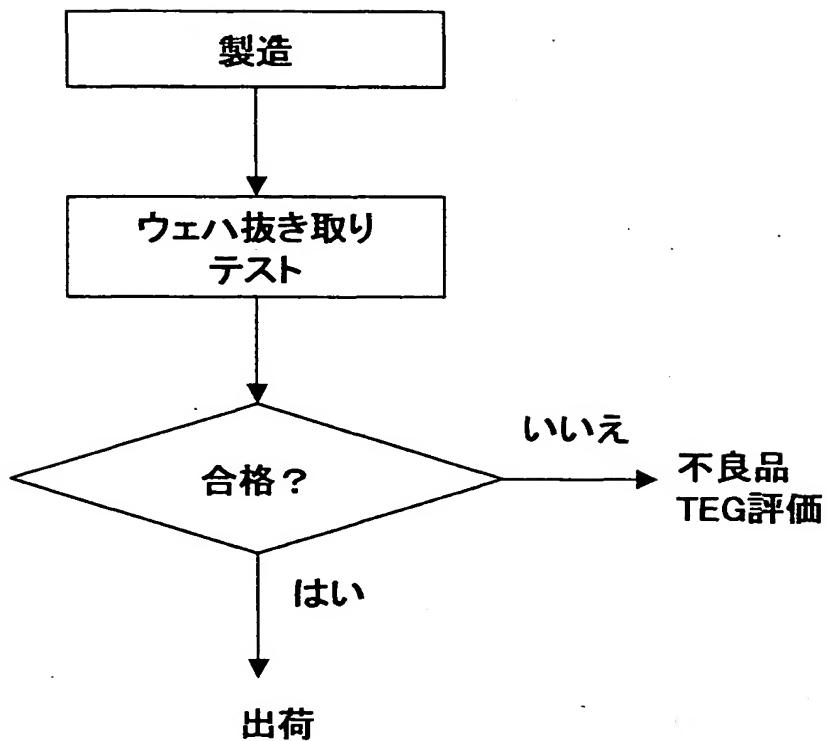
【図5】



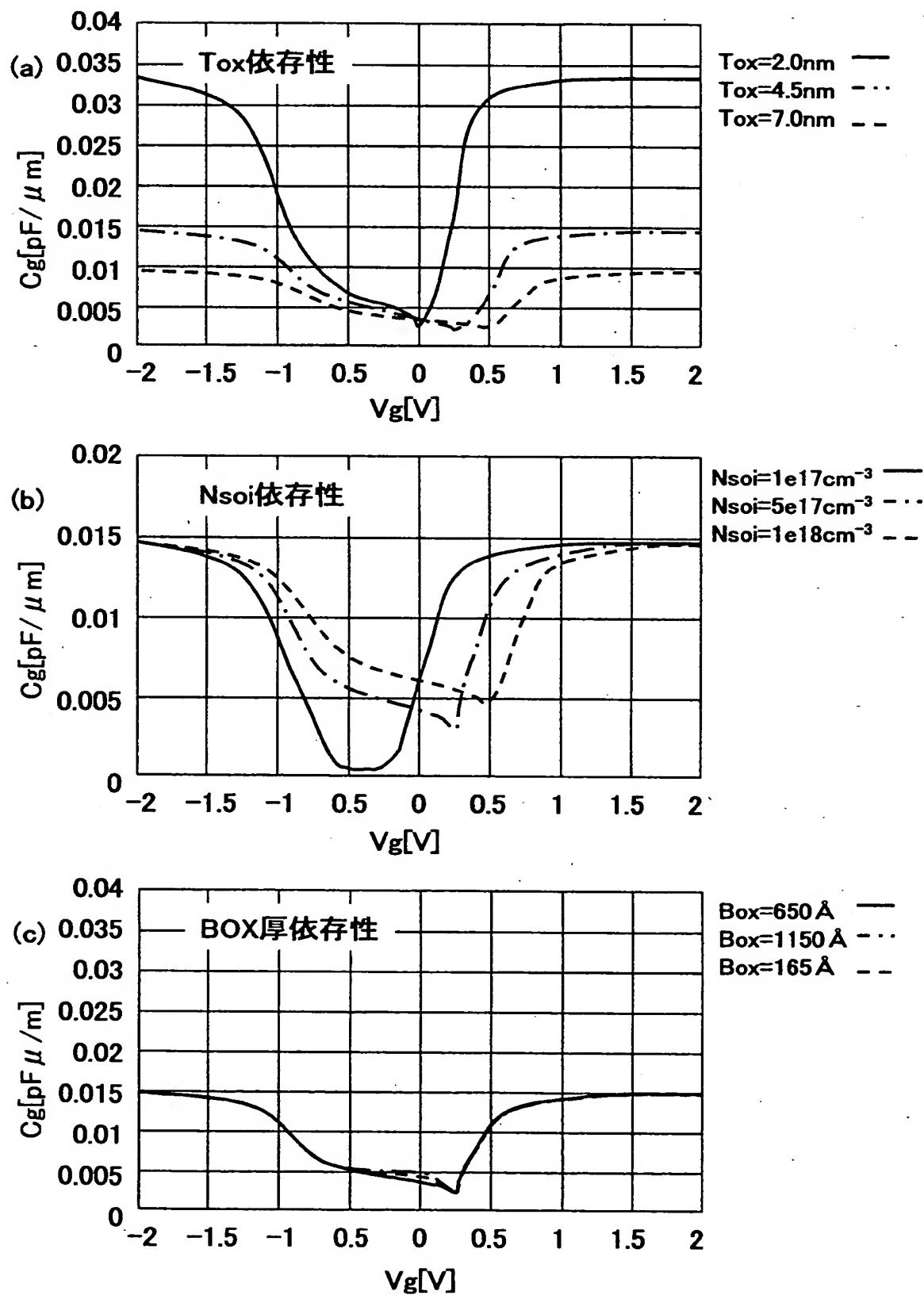
【図6】



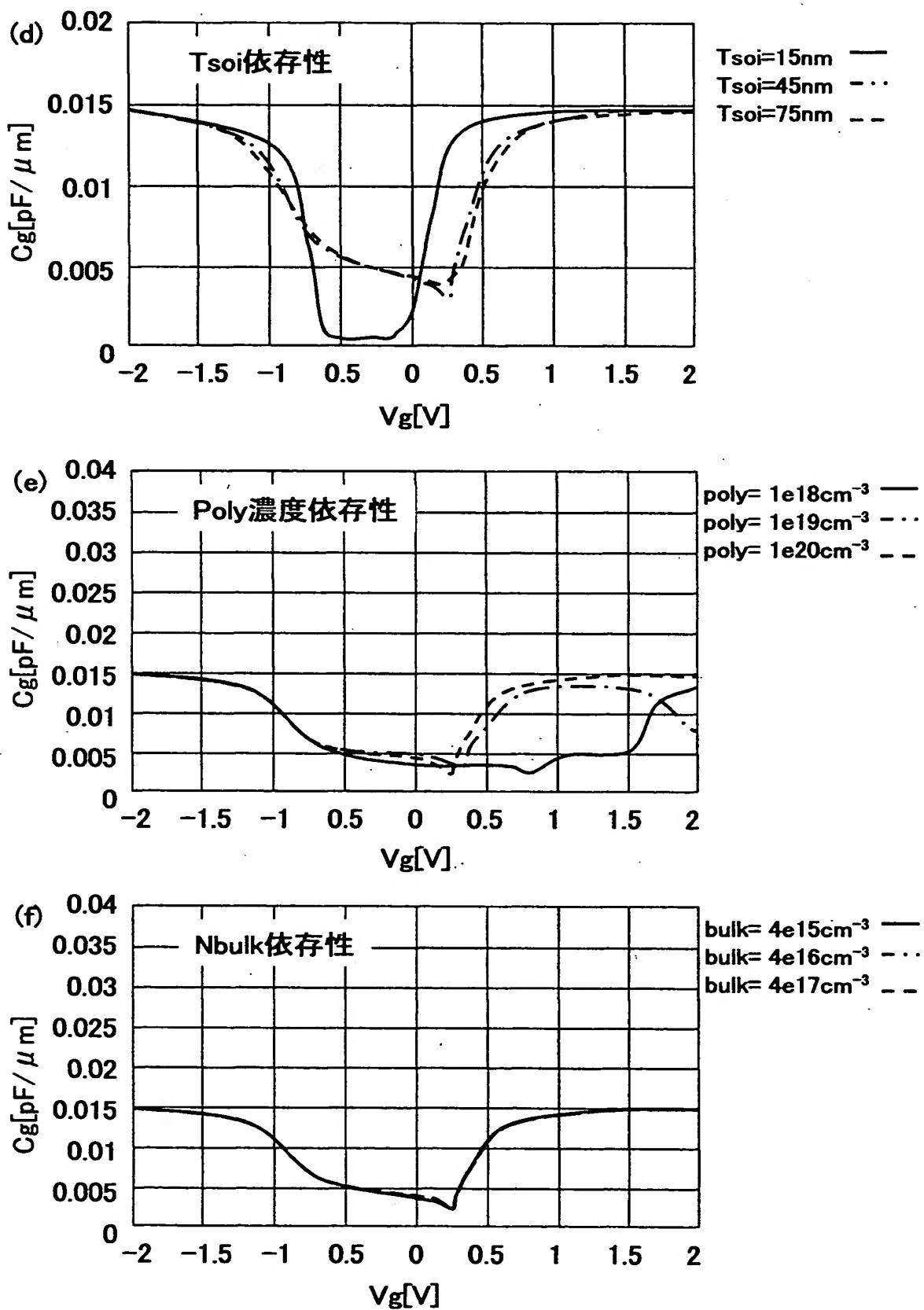
【図7】



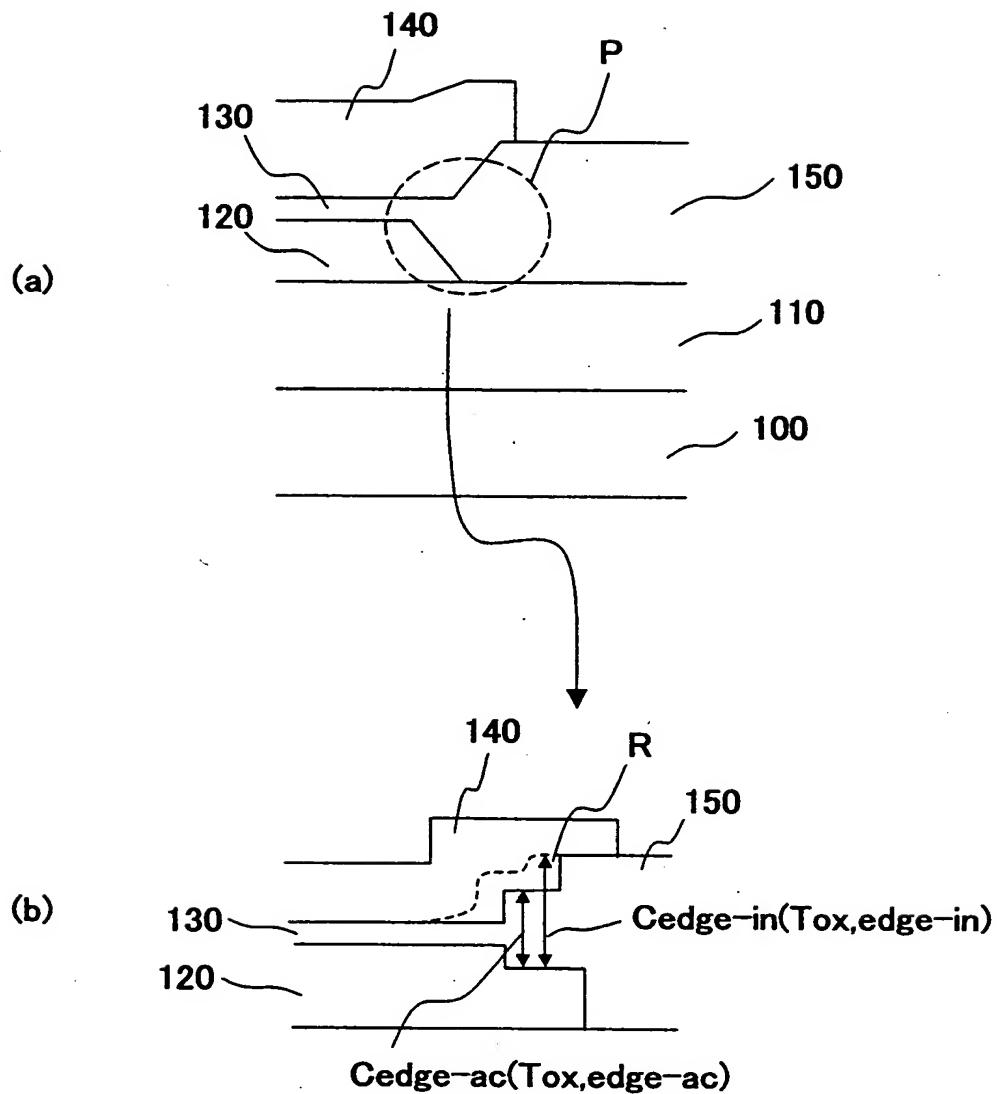
【図8】



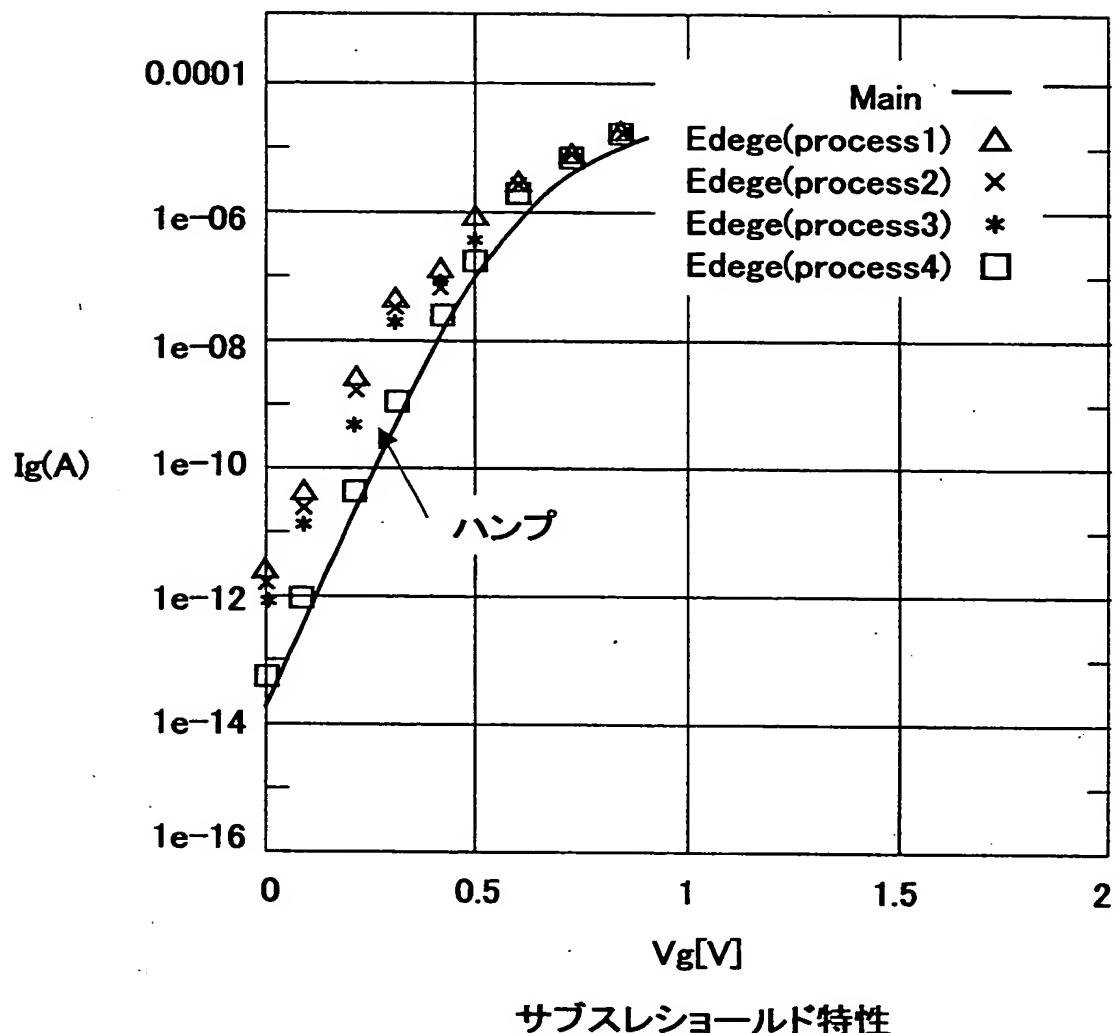
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 非破壊的な方法で寄生トランジスタの容量を簡単に抽出でき、ハンプ特性の要因を短時間で推定できる、半導体装置の評価用TEG、及び評価方法を提供する。

【解決手段】 SOI構造を有し、LOCOS素子分離技術を用いて形成された半導体装置の評価用TEGにおいて、LOCOSバーズピーク部を無視できる電極幅を有し、かつ異なる電極幅を持つ2つの電極10, 20と、寄生領域によって規定される極端に幅の短い電極30とを含んでおり、各々の電極10, 20, 30の電極長は同じであり、更に各々の電極10, 20, 30は、測定用のパッド10a, 20a, 30aに電気的に接続された半導体装置の評価用TEGが提供される。この評価用TEGを用いることにより、容易に寄生トランジスタの容量を抽出でき、更にハンプ特性の要因となるパラメータの評価が可能となる。

【選択図】 図1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社